实验三 实现 Tomasulo算法模拟器

**实验目的**

1. 加深对指令级并行性及其开发的理解；
2. 加深对Tomasulo算法的理解；
3. 掌握Tomasulo算法在指令流出、执行、写结果各阶段对浮点操作指令以及load和store指令进行什么处理；
4. 掌握采用了Tomasulo算法的浮点处理部件的结构；
5. 掌握保留站的结构；
6. 给定被执行代码片段，对于具体某个时钟周期，能够写出保留站、指令状态表以及浮点寄存器状态表内容的变化情况。

**实验要求**

设计和实现一个Tomasulo算法模拟器。

1. 基本要求：

针对程序中直线型代码，可乱序执行、乱序完成。

1. 能够正确输出每个周期之后保留站的内容。

保留站基本信息：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 站名 | 状态 | 操作码 | 第一操作数值 | 第一操作数状态 | 第二操作数值 | 第二操作数状态 |

1. 能够正确输出每个周期之后寄存器状态表的内容。

寄存器状态表基本信息：

|  |
| --- |
| 寄存器名 |
| 寄存器状态（0：不等待保留站的内容；n 表示等待的保留站名n>0） |
| 寄存器内容（状态为0时，该值才有意义） |

1. 能够正确输出每个周期之后指令状态表的内容（指令分为浮点运算指令和load/store指令），指令状态分为流入，执行和写回。

指令状态表基本信息

标志出每条指令流出、执行、写回这三个阶段所在的周期号

1. 较高要求：
   1. 实现带界面的模拟器，可动态输入指令并配置相关信息（e.g指令各个状态周期数，运算部件数目），并能正确输出上述基本要求中的相关信息。
   2. 实现带“再定序缓冲”的Tomasula算法模拟器，支持分支指令
2. 模拟器完成后，用你的模拟器测试以下程序并答题。

L.D F6, 21（R2）

L.D F2, 2，0（R3）

MUL.D F0, F2, F4

SUB.D F8, F6, F2

DIV.D F10, F0, F6

ADD.D F6, F8, F2

说明：

（1）假设浮点功能部件的延迟时间：加减法2个周期，乘法10个周期，load/store2个周期，除法40个周期。而指令的流入和写回为1个周期。

（2）第一条指令中21(R2)表示一个内存地址，将该地址的值load到F6寄存器。该内存的内容可以事先指定

1. 给出在第5个时钟周期后，保留站的内容。
2. 给出在第10个周期后，保留站，寄存器状态表的信息。
3. 实验需要提交的内容包括：
   1. 实验源代码
   2. 实验最终的可执行文件
   3. 实验报告（包括设计思想、实验分析结论等）

**评分标准**

实验课总成绩 30 分，本次实验 8 分。下面以此次实验为 10 分的来细化评分标准，最终成绩需要乘上权重：

1. 完成实验的基本功能（即实验要求的第 2 点），能获得7 分的基本分。
2. 实验报告（设计思想、实验结果分析等）占 2 分。
3. 对于上面的第 3点（不限于）每添加一项，增加 0.5 分，但需要在验收时和实验报告中特别提出，由助教老师决定是否可以加分。
4. 所有基本分加上加分项总分不得超过 10 分。

**实验附件**

实验给出一个Tomasulo算法模拟器，你可以借助该模拟器帮助理解Tomasulo算法执行过程并参考其界面来设计自己的算法模拟器。